



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020015748

(43) Publication Date. 20020302

(21) Application No.1020000048819

(22) Application Date. 20000823

(51) IPC Code:

H01L 21/28

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

AHN, TAE HYEOK

JUNG, SANG SEOP

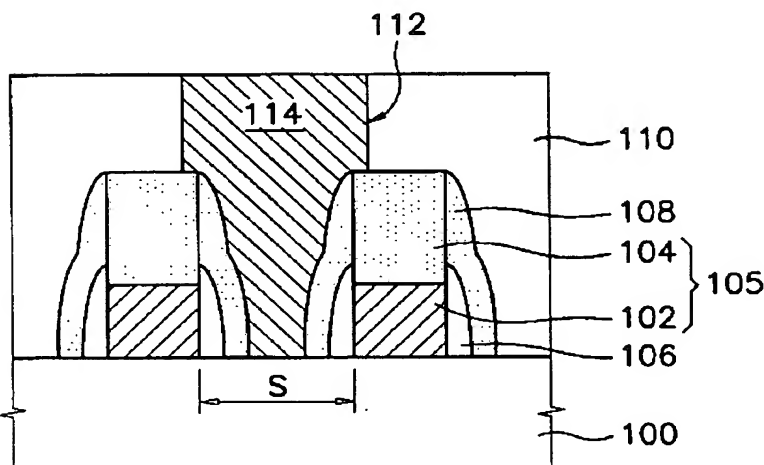
KIM, MYEONG CHEOL

(30) Priority:

(54) Title of Invention

SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT STRUCTURE  
AND FABRICATING METHOD THEREOF

Representative drawing



(57) Abstract:

PURPOSE: A semiconductor device having a self-aligned contact structure is provided to reduce loading capacitance between the first conductive layer and the second conductive layer in a self-aligned contact hole, by making the side surface of the first conductive layer surrounded by a silicon oxide layer spacer having a low dielectric constant.

CONSTITUTION: Two conductive structures are formed on a semiconductor substrate, having an interval between the two conductive structures and including the first conductive layer and a silicon nitride layer mask layer stacked on the first conductive layer. Silicon

oxide layer spacers are formed on the side surfaces of the conductive structures, partially exposing the upper portion of the side surfaces of the structures and having a height lower than the upper portion of the silicon nitride layer mask layer. Silicon nitride layer spacers formed on the exposed side surfaces of the conductive structures and on the silicon oxide layer spacers. An insulation layer exposes the silicon nitride layer spacers on the interval, composed of a silicon oxide layer having a self-aligned contact hole of which a part extends to a portion over the conductive structures and formed on the conductive structures and the substrate. The second conductive layer is self-aligned with the conductive structures, filling the self-aligned contact hole.

© KIPO 2002

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> H01L 21/28 (11) 공개번호 특2002-0015748  
(43) 공개일자 2002년03월02일

(21) 출원번호 10-2000-0048819  
(22) 출원일자 2000년08월23일  
(71) 출원인 삼성전자 주식회사  
경기 수원시 팔달구 매탄3동 416  
(72) 발명자 안태혁  
경기도용인시기흥읍농서리산24번지상악아파트 102-802  
김명철  
경기도수원시팔달구매탄4동현대아파트 105-1303  
정상섭  
경기도수원시팔달구원천동35주공아파트 102-206  
(74) 대리인 박영우

Abstract

(54) 셀프-얼라인 콘택 구조를 갖는 반도체 장치 및 그 제조방법

요약

셀프-얼라인 콘택을 갖는 반도체 장치 및 그 제조방법이 개시되어 있다. 상기 장치는, 반도체 기판과, 그 사이에 간격을 갖고 기판 상에 형성되며 제1 도전층 및 제1 도전층 상에 적층된 실리콘 질화막 마스크층을 포함하는 두 개의 도체 구조물들을 구비한다. 실리콘 질화막 마스크층의 상단보다 낮은 높이로 각 도체 구조물의 측면들 상에 실리콘 산화막 스페이서들이 형성된다. 각 도체 구조물의 측면들 및 실리콘 산화막 스페이서들의 표면 상에 실리콘 질화막 스페이서들이 형성된다. 도체 구조물들 및 기판 상에 실리콘 질화막 스페이서들을 노출시키고 각 도체 구조물의 위로 일부분 확장되는 셀프-얼라인 콘택층을 갖는 실리콘 산화막으로 이루어진 절연층이 형성된다. 셀프-얼라인 콘택층은 도체 구조물들에 셀프-얼라인되는 제2 도전층으로 매립된다. 도체 구조물의 측면들 상에 실리콘 산화막 스페이서 및 실리콘 질화막 스페이서로 구성된 듀얼 스페이서를 형성함으로써, 제1 도전층과 셀프-얼라인 콘택층 내의 제2 도전층 간에 로딩 캐패시턴스를 감소시킬 수 있다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 종래 방법에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.  
도 2는 종래의 다른 방법에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.  
도 3은 종래의 또 다른 방법에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.  
도 4는 본 발명에 의한 셀프-얼라인 콘택 구조를 갖는 반도체 장치의 단면도이다.  
도 5는 본 발명의 바람직한 실시예가 적용되는 DRAM 장치의 평면도이다.  
도 6은 도 5의 AA 선에 따른, 본 발명의 제1 실시예에 의한 셀프-얼라인 콘택 구조를 갖는 DRAM 장치의 단면도이다.  
도 7a 내지 도 7h는 도 6에 도시한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.  
도 8은 도 5의 AA' 선에 따른, 본 발명의 제2 실시예에 의한 셀프-얼라인 콘택 구조를 갖는 DRAM 장치의 단면도이다.

(도면의 주요 부분에 대한 부호의 설명)

100, 200 : 반도체 기판 102 : 제1 도전층  
104, 210 : 실리콘 질화막 마스크층